

# IP core Genérico para Adquisición y Despliegado de Imágenes en Plataforma Basada en FPGA

González Aguirre Marco Antonio<sup>1</sup>, Morales Velázquez Luis<sup>1</sup>, Osornio Ríos Roque Alfredo<sup>1</sup>  
y Morales Hernández Luis Alberto<sup>2</sup>

<sup>1</sup> HSPdigital - CA Mecatrónica, Facultad de Ingeniería, Universidad Autónoma de Querétaro, Campus San Juan del Río, Río Moctezuma 249, 76807 San Juan del Río, Qro., México.

<sup>2</sup> Facultad de Ingeniería, Universidad Autónoma de Querétaro, Campus San Juan del Río, Río Moctezuma 249, 76807 San Juan del Río, Qro., México.  
(E-MAIL de contacto: magonzalez@hspdigital.org)

## Resumen

*El presente trabajo consiste en la adquisición y despliegado de imágenes de 640 x 480 pixeles en escala de grises de 8-bit, dentro de una plataforma basada en FPGA. La adquisición de la imagen se realiza mediante el uso de un decodificador de video compuesto configurado para recibir una señal de video en estándar NTSC, y convertirla en información de video compuesto en formato YCrCb 4:2:2 compatible con el estándar de 8-bit ITU-R BT.656. Esta información se transmite a un bloque desarrollado en el FPGA que se encarga de extraer los datos de luminancia de la información proporcionada y de generar las direcciones de almacenamiento. Los datos y las direcciones generadas se transmiten a otro bloque encargado de manejar una memoria SSRAM, en donde se almacenan los datos de luminancia correspondientes a la dirección de cada uno de los pixeles de la imagen. El despliegado de la imagen se realiza mediante un bloque controlador VGA, que se encarga de pedir los datos de la imagen almacenada al bloque manejador de memoria y de proporcionarlos a un convertidor digital analógico de video de alta velocidad, así como de generar las señales de sincronía necesarias para el despliegue en un monitor VGA.*

**Palabras clave:** FPGA, adquisición de imagen, despliegado VGA.

## 1. Introducción

Actualmente en el desarrollo de plataformas especializadas para procesamiento de imágenes se tiene la tendencia al uso de tecnología FPGA, debido

a la reconfigurabilidad y al alto grado de paralelismo de esta tecnología [1], lo que permite la implementación de algoritmos que reducen sustancialmente el tiempo de procesamiento en comparación con los sistemas basados en PC, además de que la reconfigurabilidad permite hacer modificaciones posteriores, lo que le da una ventaja con respecto a los sistemas basados en ASICs.

Estas plataformas requieren adquirir la imagen o imágenes a ser procesadas y retornar de alguna forma los resultados por lo que se decidió desarrollar en primera instancia un sistema de adquisición y despliegado de imágenes.

Para evitar restringir el sistema a una sola fuente de imágenes (una cámara en particular), se usó de un decodificador de video compuesto para señales de video analógicas en estándar NTSC, con lo que se brinda la posibilidad de cambiar fácilmente la fuente, ya que una gran cantidad de cámaras comerciales y productos de entretenimiento cuentan con este estándar. De la misma manera, en lo que se refiere al despliegado de imágenes, se optó por la salida en estándar VGA, ya que hace posible la conexión a casi cualquier monitor de PC.

Cabe mencionar que la mayoría de los fabricantes de FPGA ofrecen núcleos de propiedad intelectual (IP cores, *Intellectual Property cores*) que realizan las operaciones de control de los dispositivos de adquisición, despliegado y almacenamiento desarrolladas en este trabajo, pero su uso requiere el pago de derechos de autor, además de que su uso está restringido a sus productos. El desarrollo de estos IP cores propios, permite reducir costos y ser independientes del fabricante de los dispositivos.

## 2. Metodología

A continuación se describen los elementos desarrollados para realizar el objetivo del trabajo. Un diagrama del sistema en general se muestra en la figura 1.



Fig. 1 Diagrama a bloques del sistema.

La implementación del sistema propuesto requiere una tarjeta de desarrollo que cuente con un FPGA, un decodificador de video compuesto que cumpla con la recomendación ITU-R BT.656 en formato de 8-bit YCrCb (“VIDEO DECODER”), un convertidor digital analógico de video de tres canales con un mínimo de 8-bit de resolución y 25 MHz de velocidad (“VGA DAC”), así como una memoria SSRAM de al menos 307,200 kB de capacidad y 200 MHz de velocidad. Debido a los requerimientos mencionados se decidió hacer uso de una tarjeta de desarrollo Altera DE2-70 (figura 2) la cual cumple todos los requerimientos.

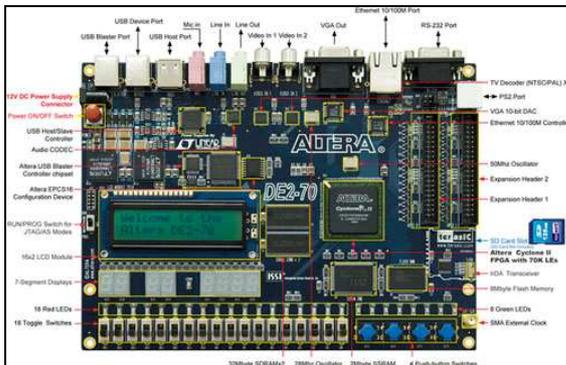


Fig. 2 Tarjeta de desarrollo Altera DE2-70.

Mediante el lenguaje de descripción de hardware VHDL y la herramienta de síntesis Quartus de Altera, se desarrollaron e implementaron en el

FPGA los IP cores “VIDEO-IN CONTROLLER” encargado del control del decodificador de video, “MMU” cuyo objetivo es administrar el manejo de la SSRAM y “VGA CONTROLLER” encargado del manejo del convertidor digital analógico para la salida al monitor VGA. La interconexión de los IP cores se muestra en la figura 3.

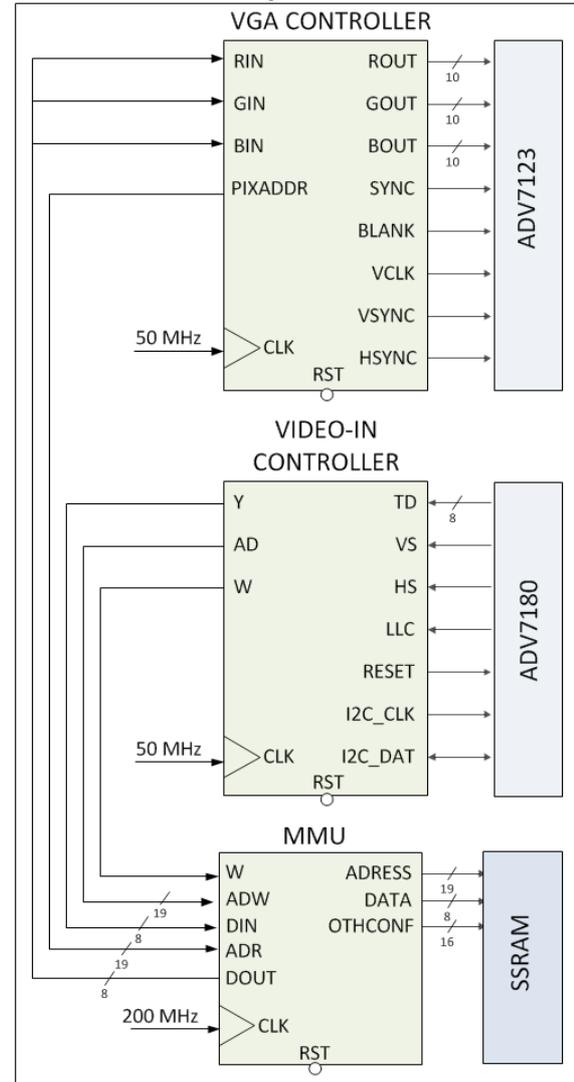


Fig. 3 Diagrama de interconexión de los IP cores.

A continuación se describe cada uno de los IP cores.

### 2.1 MMU

Este IP core es el encargado de manejar la memoria SSRAM, en este caso una ISSI IS61LPS51236A de 2 MB y 200 MHz de velocidad. En la figura 4 se muestra un diagrama de este IP core.

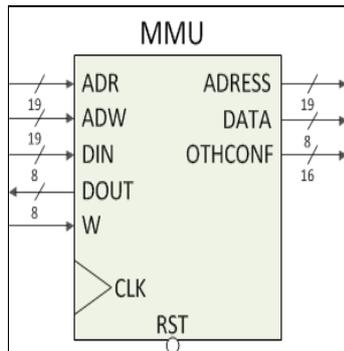


Fig. 4 Diagrama del controlador de memoria.

A continuación se describe cada uno de los puertos:

- ADR*: Dirección de lectura.
- ADW*: Dirección de escritura.
- DIN*: Dato a ser guardado.
- DOUT*: Dato leído.
- W*: Activación de escritura en flanco positivo.
- ADRESS*: Selección de dirección en la SSRAM.
- DATA*: Puerto bidireccional para lectura y escritura en la SSRAM.
- OTHCONF*: Bus que integra la salida para los pines de configuración y reloj de la SSRAM (CE, BWE, OE, etc.).
- CLK*: Entrada de reloj.
- RST*: Reset asíncrono.

La aplicación requiere que los datos puedan ser leídos y grabados a una velocidad mínima de 28 MHz, además de poder escribir y leer al mismo tiempo. La SSRAM empleada solo tiene un puerto de dirección y un puerto bidireccional para los datos, por lo que se desarrolló una estructura digital que integra flip-flops tipo D, un multiplexor y una FSM, con lo que se logra emular una RAM con puerto de lectura y escritura independiente. Para que los datos puedan ser grabados y leídos al mismo tiempo (visto desde fuera del bloque) se requiere una velocidad de reloj interna del bloque 4 veces mayor a la velocidad a la que se va a usar, ya que se usan dos ciclos para la escritura y dos para la lectura. Considerando la futura aplicación del proyecto y la velocidad máxima de operación de la SSRAM, se definió la velocidad de operación a 50 MHz, por lo que el bloque requiere una señal de reloj de 200 MHz, la cual es generada a partir de un PLL integrado en el FPGA, ya que el reloj incluido en la tarjeta de desarrollo es de 50 MHz.

## 2.2 VIDEO-IN CONTROLLER

Este IP core tiene la tarea de configurar el decodificador de video, extraer de éste la información referente al valor de luminancia de cada pixel y

generar la dirección y señal de escritura para su almacenamiento en la memoria. En la figura 5 se muestra un diagrama de este IP core.

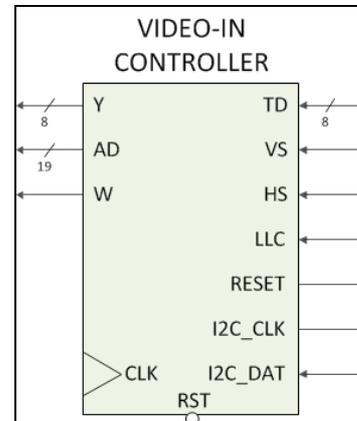


Fig. 5 Diagrama del controlador de video del decodificador de video.

A continuación se describen cada uno de los puertos:

- Y*: Dato de luminancia.
- AD*: Dirección del pixel a almacenar.
- W*: Señal de activación de escritura.
- TD*: Dato recibido del decodificador.
- VS*: Señal de sincronía vertical.
- HS*: Señal de sincronía horizontal.
- LLC*: Señal de reloj de 27 MHz generada por el decodificador.
- RESET*: Señal de reset para el decodificador.
- I2C\_CLK*: Señal de reloj para configuración I2C.
- I2C\_DAT*: Señal de datos I2C.
- CLK*: Entrada de reloj.
- RST*: Reset asíncrono.

El decodificador de video que se usó es el ADV7180 de Analog Devices, el cuál es un decodificador de señales de televisión de definición estándar, compatible con señales de televisión analógica en estándar NTSC, PAL y SECAM. El decodificador convierte estas señales en datos de componentes de video en formato YCrCb 4:2:2 compatibles con la interfaz estándar de 8-bit ITU-R BT.656 [2]. Estos datos están codificados como se especifica en la recomendación ITU-R BT.601 [3]. El decodificador requiere de un reloj de 28.63 MHz el cual viene incluido en la tarjeta de desarrollo.

Este IP core está formado por dos bloques principales, un bloque configurador y un bloque detector de secuencia y generador de señal de activación y dirección de escritura.

El bloque configurador se encarga de mandar la configuración al decodificador por medio de comunicación con protocolo I2C, esta configuración consta de registros que le indican al decodificador el modo en el que se va a usar, específicamente en este trabajo se configuro para ser usado con entrada de video en estándar NTSC, en modo de video compuesto en el canal AIN1 del decodificador (lugar donde se encuentra conectado el conector RCA de la tarjeta de desarrollo) y con ajustes de crominancia y luminancia automáticos.

Los datos recibidos del decodificador están entrelazados y en formato 4:2:2, por lo que el segundo bloque se encarga de detectar el inicio y fin de cada línea, denotado por la secuencia de datos en hexadecimal "FF,00,00,XY" así como también si es línea par o non. Con las operaciones anteriores se genera la dirección correspondiente a cada pixel (haciendo el desentrelazado), además de generar la señal de activación de escritura que permite guardar únicamente los datos correspondientes a luminancia. En la figura 6 se muestra una parte del diagrama de tiempo de la sincronía horizontal, en donde se puede observar la secuencia de inicio y fin de video activo, así como los datos de luminancia (Y) y crominancia (Cb y Cr).

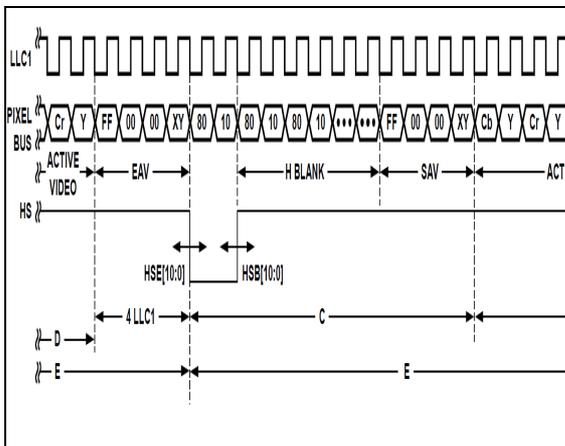


Fig. 6 Diagrama de tiempo de sincronía horizontal.

Este bloque requiere una señal de reloj de 50 MHz la cual se toma directamente del reloj incluido en la tarjeta de desarrollo.

### 2.3 VGA CONTROLLER

Este IP core tiene la tarea de generar las direcciones de lectura, leer los datos, ajustarlos y enviarlos al convertidor digital analógico de video junto con las señales de sincronía necesarias para el

desplegado en monitor VGA. En la figura 7 se muestra un diagrama de este IP core.

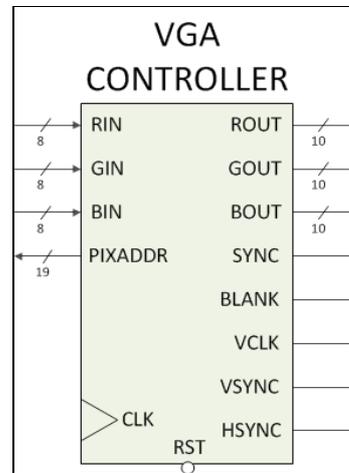


Fig. 7 Diagrama del controlador VGA.

A continuación se describen cada uno de los puertos:

- RIN: Entrada de componente de color rojo.
- GIN: Entrada de componente de color verde.
- BIN: Entrada de componente de color azul.
- PIXADDR: Dirección del pixel siguiente a mostrar.
- ROUT: Salida al DAC de componente de color rojo.
- GOUT: Salida al DAC de componente de color verde.
- BOUT: Salida al DAC de componente de color azul.
- SYNC: Señal de control para DAC.
- BLANK: Señal de control para DAC.
- VCLK: Señal de reloj para DAC.
- VSYNC: Señal de sincronía vertical para VGA.
- HSYNC: Señal de sincronía horizontal para VGA.
- CLK: Entrada de reloj.
- RST: Reset asíncrono.

El estándar VGA requiere de los componentes de color rojo, verde y azul. En esta aplicación la adquisición se realiza en escala de grises, por lo que a cada componente se le asigna el mismo valor de lectura correspondiente al pixel a mostrar.

El convertidor analógico digital usado es el ADV7123 de Analog Devices, el cual integra tres convertidores analógico-digitales de alta velocidad con una resolución de 10-bit.

Este IP core ajusta la longitud de los valores de cada componente, cuya entrada es de 8-bit a 10-bit y se los envía al convertidor, junto con las señales de control SYNC, BLANK y la señal de reloj VCLK. Las señales analógicas provenientes del convertidor

junto con las señales de sincronía VSYNC y HSYNC son transmitidas al monitor VGA para el despliegado de la imagen. Este bloque necesita una señal de reloj de 50 MHz la cual se toma directamente del reloj incluido en la tarjeta de desarrollo.

En [4] se puede encontrar de manera detallada el funcionamiento del estándar VGA así como la implementación en FPGA de un controlador sencillo (solo contiene el generador de las señales de sincronía y de direcciones).

### 3. Resultados

Como resultado se obtuvo la implementación en una tarjeta de desarrollo basada en FPGA de un sistema capaz de adquirir imágenes de 640 x 480 pixeles en escala de grises de 8-bit provenientes de una fuente de video compuesto en estándar NTSC, así como su despliegado en una pantalla con estándar VGA. La prueba del sistema se realizó en el laboratorio de metalografía de la Universidad Autónoma de Querétaro campus San Juan del Río, en donde se conecto a la cámara de un microscopio que contenía una muestra metalográfica, así como a un monitor VGA donde se desplego la imagen. En la figura 8 se muestra una foto del sistema en funcionamiento.

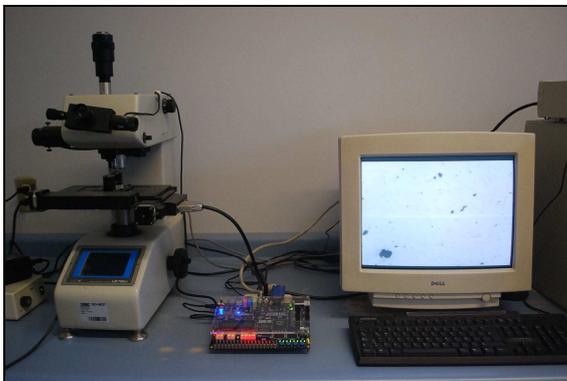


Fig. 8 Prueba del sistema.

### 4. Conclusiones y trabajo futuro

El uso de un sistema de adquisición y despliegado de imágenes basado en tecnología FPGA permite una opción de bajo costo, que gracias al paralelismo de esta tecnología, puede integrar una gran cantidad de tareas en el mismo circuito integrado. Además, gracias a la capacidad de reconfigurabilidad del FPGA, es posible la posterior integración de algoritmos de procesamiento de imagen en el mismo integrado.

Como trabajo futuro se tiene el desarrollo de un sistema de análisis metalográfico completo, que obtenga la imagen directamente de la cámara del microscopio, la procese y despliegue los resultados del análisis en un monitor VGA, reduciendo los costos de adquirir un sistema comercial y mejorando la velocidad con respecto a un análisis basado en PC.

### Referencias

- [1] Romero R. "Electrónica digital y lógica programable", Universidad de Guanajuato, 2ed, 2007.
- [2] Recommendation ITU-R BT.656-5. "Interface for digital component video signals in 525-line and 625-line television systems operating at the 4:2:2 level of Recommendation ITU-R BT.601", International Telecommunication Union, 2007.
- [3] Recommendation ITU-R BT.601-7. "Studio encoding parameters of digital television for standard 4:3 and wide-screen 16:9 aspect ratios", International Telecommunication Union, 2011.
- [4] Chu P. "FPGA PROTOTYPING BY VHDL EXAMPLES", John Wiley and Sons, USA, 1ed, 2008.